

ポスト5G情報通信システム基盤強化 研究開発事業の概要について

Overview of Research and Development Project of the Enhanced infrastructures for Post-5G Information and Communication

2021/10/28

1. ポスト5G情報通信システム基盤強化研究開発事業

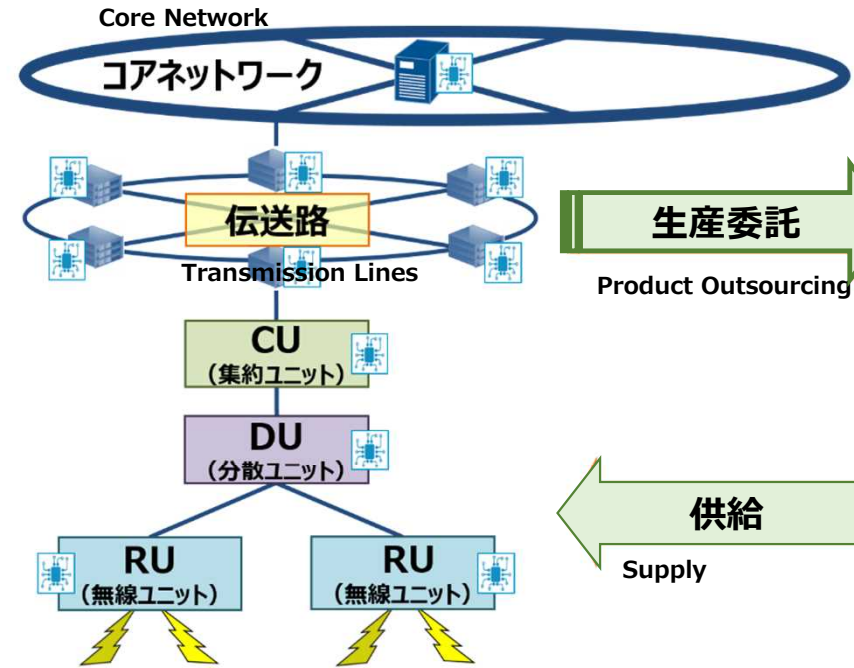


Research and Development Project of the Enhanced infrastructures for Post-5G Information and Communication

- 基金総額は**2000億円**
- ポスト5Gに対応した情報通信システムの中核となる技術を開発する。
- ポスト5G情報通信システムや当該システムで用いられる半導体を開発するとともに、ポスト5Gで必要となる**先端半導体の製造技術の開発**に取り組む。
- Total Fund Amount: 200 Billion Yen
- Develop core technologies for Post-5G information and communication systems.
- Develop Post-5G information and communication systems, and semiconductors used for such systems, while working on manufacturing technologies for semiconductors required for Post-5G.

Development of Post-5G Information and Communication Systems

ポスト5G情報通信システムの開発



Development of Advanced Semiconductor Manufacturing Technology

先端半導体製造技術の開発



補助 (基金造成)

(研)新エネルギー・産業技術総合開発機構(NEDO)

委託補助 (1/2)

民間企業・研究機関・大学等

Subsidization (Funding)

国立 新エネルギー・産業技術総合開発機構

Entrustment Subsidization (1/2)

Private companies, Research Institutions, Universities

モバイル端末
Mobile Devices

コネクテッドカー
Connected Cars

スマート製造
Smart Manufacturing

2. 前工程：先端半導体製造プロセス技術の開発概要



Front-End Process: Development of manufacturing/process technologies and pilot line for advanced semiconductor with 3D channel structures – Outline of Adopted Theme

産総研に整備する共用の パイロットライン

Establish the pilot line at AIST to be commonly shared



2nmノード先端
3次元ロジック半導体
(Nanosheet構造)
向けのPF整備

Develop the platform
for fabrication of
advanced 2 nm node
3D logic
semiconductors
(nanosheet structure)

Beyond 2nm向け
装置で協力
Provide tools for
beyond 2nm



技術検証結果
をフィードバック
Feedback
technical
verification
results

先端半導体製造装置および プロセス技術を開発

Develop production
equipment/process technologies
for advanced semiconductor



- 次世代型製造装置
- 次々世代新材料
- Next gen. process tools
- Next after next gen. new materials



- 先端洗浄技術
- 次世代アニール技術
- Advanced cleaning technology
- Next gen. annealing technology



- ナノインプリント
リソグラフィ技術
- Nano imprint
lithography technology



開発対象のナノシート トランジスタ

Nanosheet transistor
of development target

出展: IEEE IRDS™2020ロードマップ (More Moore) より

YEAR OF PRODUCTION	2020	2022	2025	2028	2031
Logic industry "Node Range" Labeling (nm)	"5"	"3"	"2.1"	"1.5"	"1.0 eq"
Device structure	2.5D-structure		3D-structure		
Mainstream device for logic	finFET	finFET	Nanosheet LGAA	Nanosheet LGAA	LGAA-3D-stack
Beyond-CMOS as complimentary to mainstream CMOS	-	-	-	2D Device, FeFET	2D Device, FeFET
Channel material technology inflection	SiGe25%	SiGe50%	SiGe50%	Ge, 2D Material	Ge, 2D Material
LOGIC DEVICE GROUND RULES					
Lg: Gate Length - HD (nm)	20	18	14	12	12
MO half-pitch: hp (nm)* = "Pitch / 2"	15	12	10	8	8

産総研・先端半導体製造技術コンソーシアム → 日本の半導体オープンイノベーションを推進

AIST Consortium for Advanced Semiconductor Manufacturing Technology

Promote open innovation of Japanese semiconductor industry

国立研究開発法人 新エネルギー・産業技術総合開発機構

3. 後工程：TSMCの先端半導体製造プロセス技術開発概要



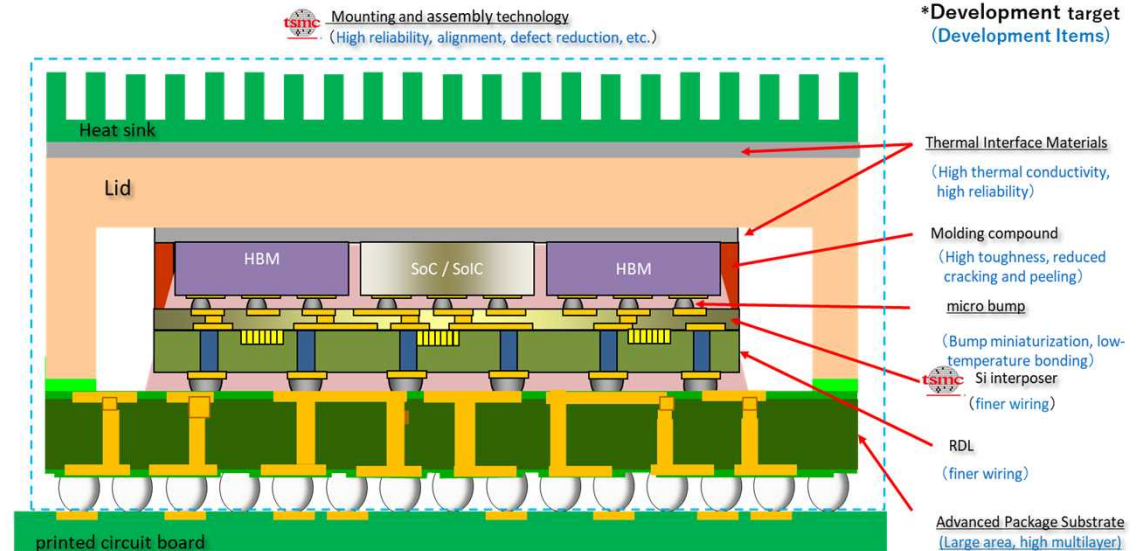
Back-End Process: Development of advanced semiconductor manufacturing process technology
- Outline of Adopted Theme

実施者:
TSMCジャパン 3DIC研究開発センター株式会社
TSMC Japan 3DIC R&D Center



パ° イットラインを構築する産総研クリーンルーム（つくば市）

The pilot line construction site at AIST (Tsukuba City)



3DIC構造イメージ

3DIC structure image

日本国内における、先端半導体研究開発拠点の立地

→ 国内半導体産業の活性化・将来の製造拠点立地への好影響に期待

Establishment of advanced semiconductor R&D base in Japan

→ Positive effect is expected on vitalization of Japanese semiconductor industry and future establishment of semiconductor manufacturing base.

4. 先端半導体製造技術開発事業一覧

Adopted Themes of Development of Advanced Semiconductor for Manufacturing Technology



開発テーマ		実施事業者
(a)前工程 Front-End Process	先端3次元構造ロジック半導体デバイスの製造・プロセス技術の開発と検証用パイロットライン整備 Development of manufacturing/process technologies and pilot line for advanced logic devices with 3D channel structures	東京エレクトロン (TEL) スクリーン (Screen) キヤノン (Canon)
	(b)後工程 Back-End Process	
	(b1) 高性能コンピューティング向け実装技術 Packaging Technology for High Performance Computing	3DIC技術の研究開発 3DIC Technology Research and Development TSMC Japan 3DIC R&D Center, Inc.
	(b2) エッジコンピューティング向け実装技術 Packaging Technology for Edge Computing	ダイレクト接合3D積層技術開発 Development of direct bonding 3D-stack technology 先端システム技術研究組合 (Research Association for Advanced Systems (RaaS))
		ポスト5Gエッジコンピューティング向け半導体の3D積層要素技術研究開発 Development Of 3D Device Stacking Technologies for Edge Computing Semiconductor Devices in Post-5G era ソニーセミコンダクタソリューションズ株式会社 (Sony Semiconductor Solutions)
	(b3) 実装共通基盤技術 Common Platform Technology for packaging	最先端パッケージ評価プラットフォーム創成 Advanced Package Evaluation Platform 昭和電工マテリアルズ株式会社 (Showa Denko Materials)
		次世代情報通信向け先端パッケージの材料開発 Development of advanced packaging materials for next-generation information and communication 住友ベークライト株式会社 (Sumitomo Bakelite)

5. 最後に

Closing Comments



●NEDOとして：

- ・ 前工程／後工程の事業の適切なマネジメントと成果の最大化
→日本の半導体産業の復興(経済安全保障/SC強靱化等含)に
貢献して参ります

NEDO's Effort: Proper management and maximization of achievement of front/back end process projects
→ NEDO contributes to resurgence of Japanese semiconductor industry (including economic security and resilience of supply chain)

●皆様への期待：

- ・ 産総研つくばセンター・パイロットラインの活用
- ・ 各研究開発主体部門との連携強化

Expectation to Audience

- ・Utilization of pilot line in AIST Tsukuba Center
- ・Strengthening of collaboration with R&D group of the partners