

フロンティア材料の集積回路化研究連携体形成に向けた調査研究

Forming Collaborative Research Alliance for Integration of Frontier Materials into LSI Circuits

【調査研究代表 & 産総研代表者】

産業技術総合研究所TIA推進センター戦略連携ユニット 松木武雄 takeo-matsuki@aist.go.jp

Siの次の半導体材料と目される2次元層状物質を集積回路化する連携研究体の形成を目指さず。材料集積、デバイスモデリング、回路モデルを含めたLSI化を中心とした技術動向の調査、調査研究を行い、連携拡大を図りながら拠点・連携体形成の行動指針を策定する。

AIST & 東京工業大学

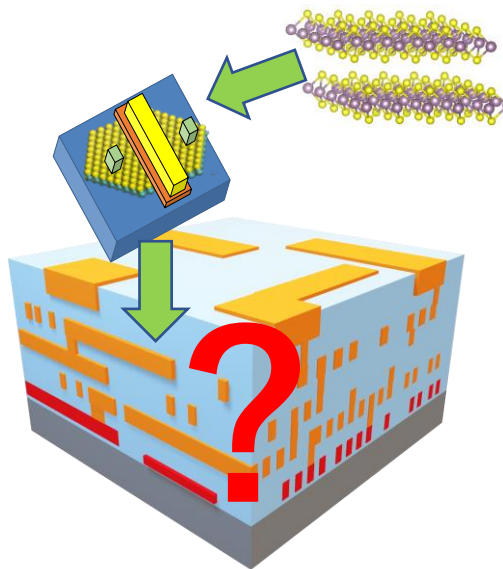
(+ TIA外)

試作拠点の模索、集積回路デバイス化の検討

広島大学HiSIM研究センター

(TIA外)

デバイスモデル、PDK構築の可能性検討

筑波大学

ゲートスタック化及び界面物性評価技術探索

東北大学

グラフェンのデバイス化・LSI化技術探索

すべて“新”？ 「半導体」 「絶縁体」 「金属配線」
集積化による新規デバイス創成、新規物性の発見



**Frontier
Materials
LSI**

【年間活動計画】

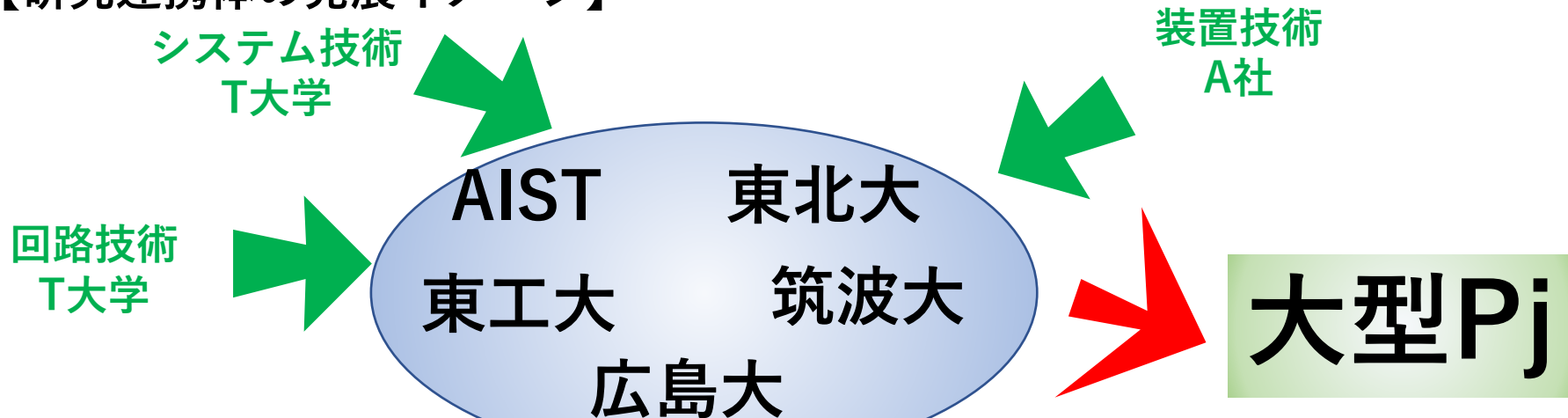
6-10月

連携拡大と予備技術調査

11-2月

連携拡大と連携体制再構築

【研究連携体の発展イメージ】



材料集積 (ゲートスタック、コンタクト、層間絶縁膜、etc)
グラフェン、 WS_2 、 MoS_2 、etc

【期待される成果・連携/研究の発展・若手育成】

- 装置技術、材料集積技術、回路技術、システム設計の専門家、他の研究拠点などとも連携拡大と知財創出、研究テーマの深化をさせ大型研究Pjへの発展を図る
- 准教授・助教・ポスドクなど中堅・若手との連携