

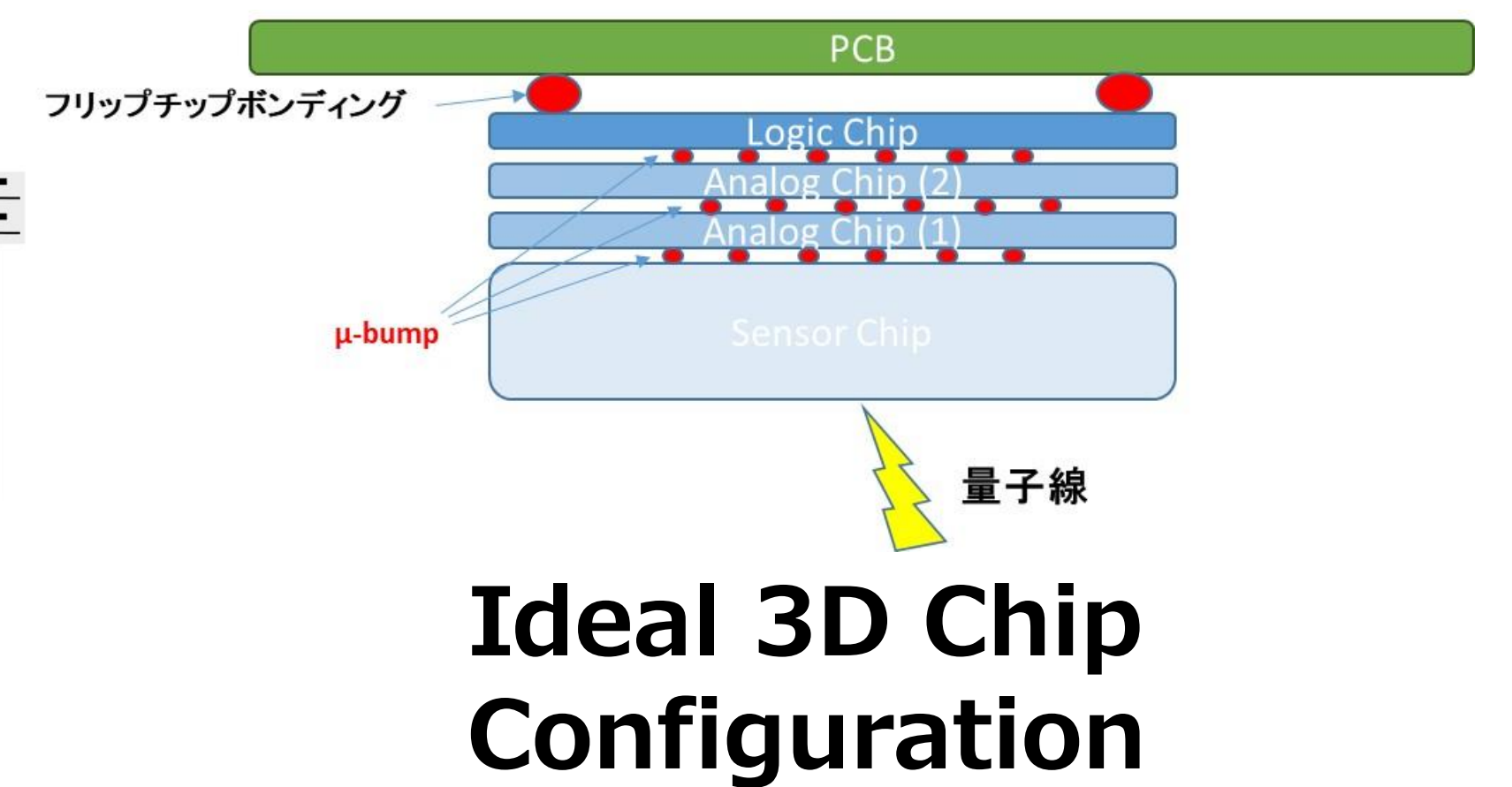
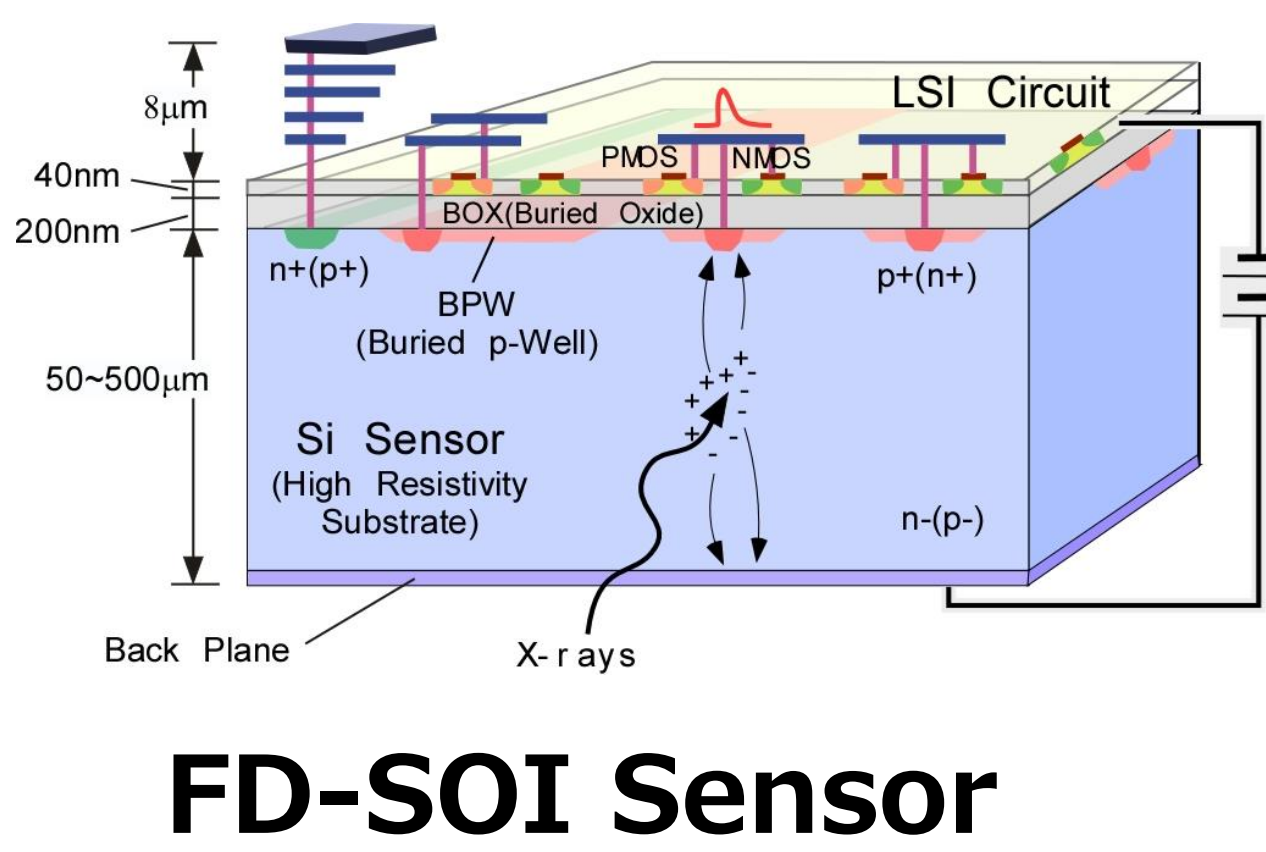
# シリコン量子線イメージセンサー用 3次元チップ積層技術の開発

## 概要

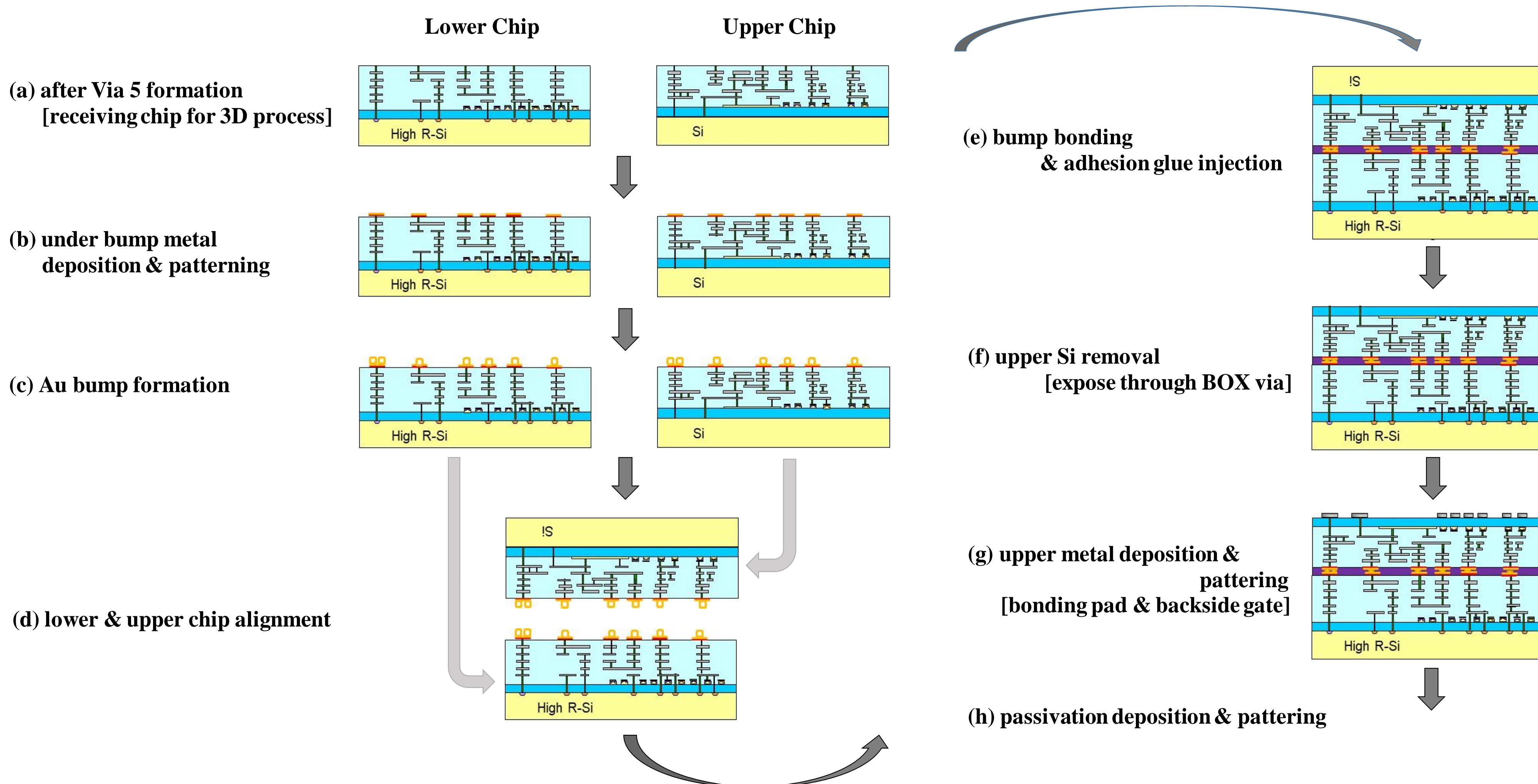
次世代量子線イメージセンサー実現を目指したFD-SOIセンサー技術をベースにしたAu  $\mu$ -Bump 3D (3次元) 積層技術を提案。本技術を適用したイメージセンサー試作の結果、高歩留でのピクセル動作を確認。提案した3Dプロセスの実証を行うことができた。

## Requirements for Quantum Beam Image Sensor and Ideal Configuration

- 荷電粒子の複数ヒットに対し位置・時間・発生電荷量の情報
- ヒット位置高分解能  
小さなピクセルに複雑な回路を入れ込む技術
- 開発コストの抑制  
- 先端プロセス・シャトルサービス
- 低物質質量
- 耐放射線性

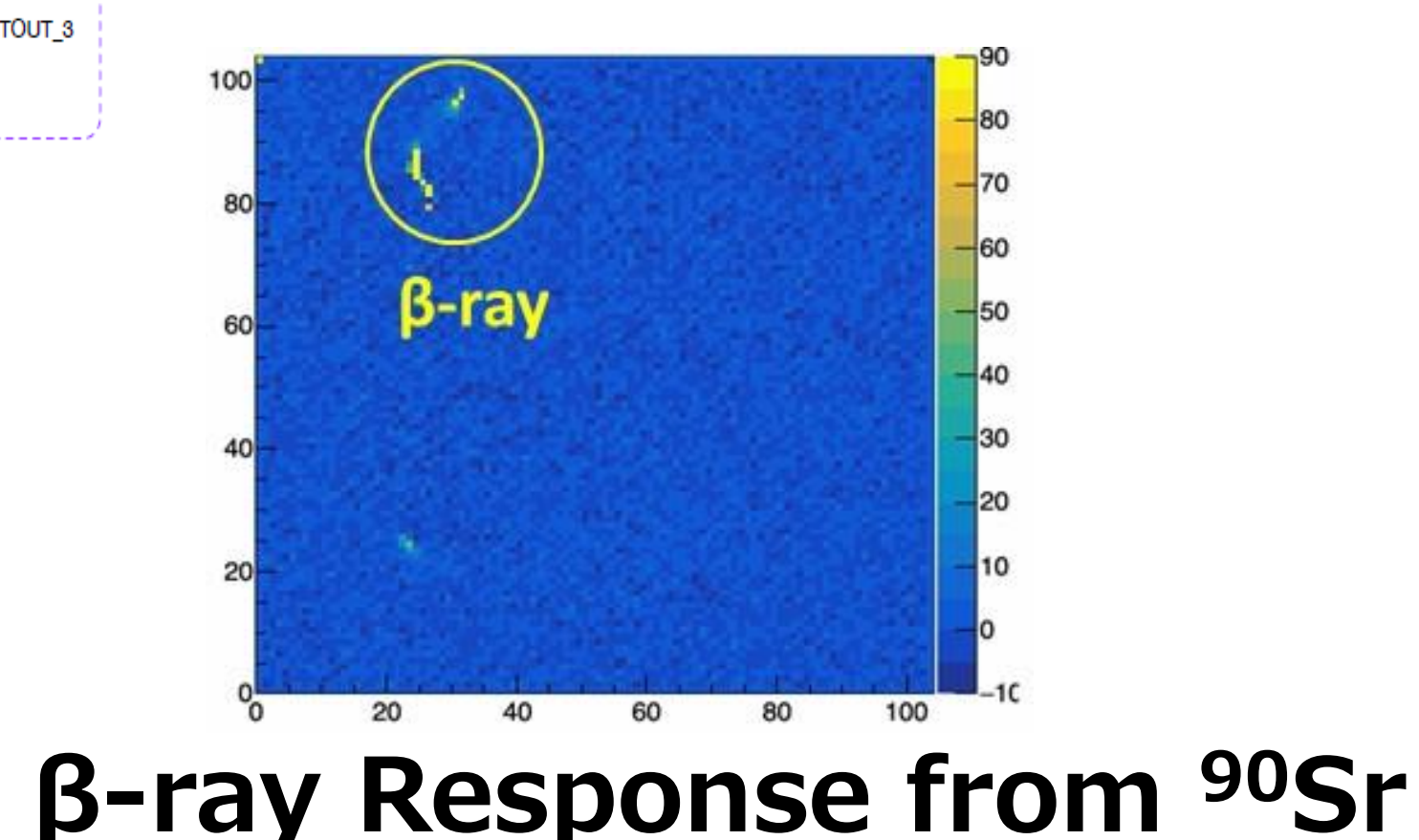
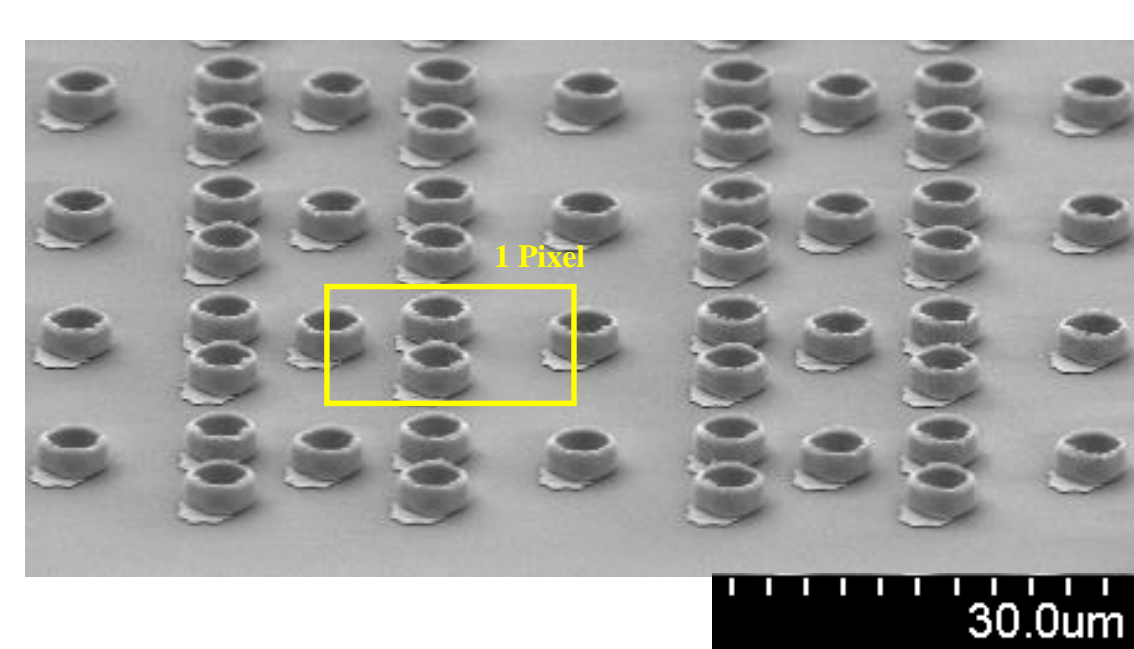
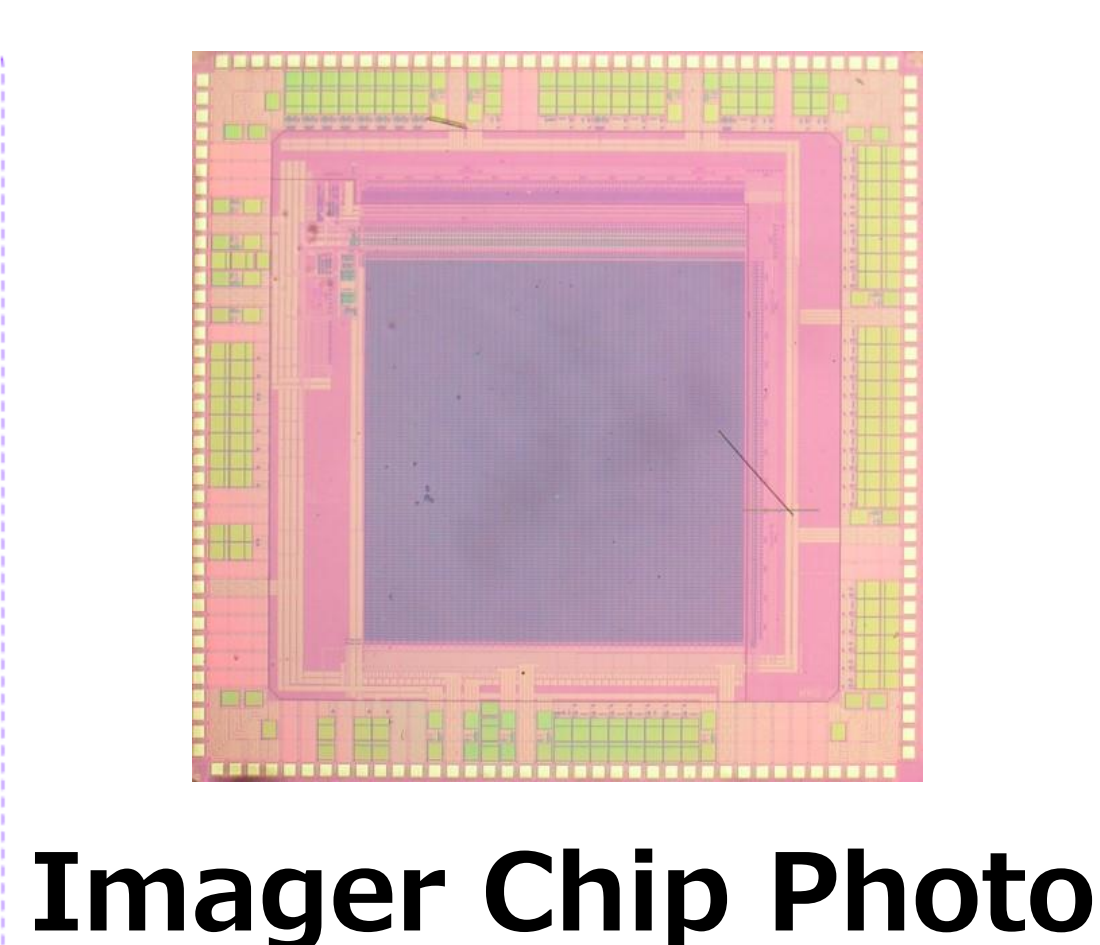
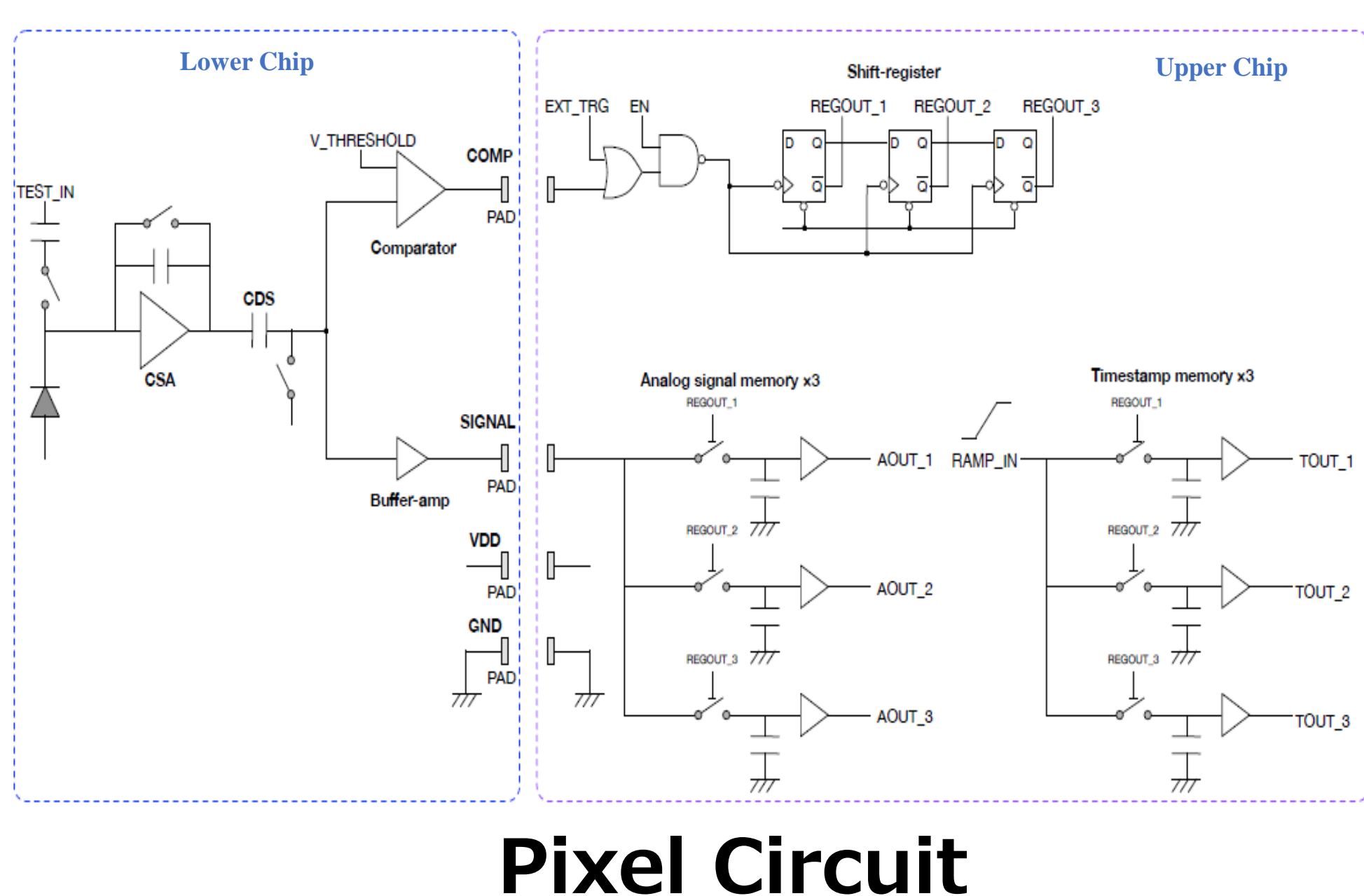


## FD-SOIセンサーベース、Au $\mu$ -Bump Chip on Chipを使った3D技術の提案 Proposed 3D Process Flow



- ✓ 通常チッププロセスへの追加プロセス  
- 最小限、将来的にはなくせる
- ✓ FD-SOIでのメリットを活かしたフロー  
- TSV不要、BOXビアの活用  
- 上層チップSi量ほぼなし
- ✓ 将来への展望性  
- マルチチップスタッキング可能

## Application for Image Sensor (SOFIST4)



99.9% のピクセル動作 (102 × 102)を確認 !!

## Summary & Prospect

- ◆ 高性能なシリコン量子イメージセンサーを実現するための3次元チップ積層技術の検討を行った。
- ◆ FD-SOIセンサーをベースとし、Chip-on-Chip Au  $\mu$ -Bumpによる積層とBOXビアを活用した3Dスタッキング技術を提案した。
- ◆ 提案した技術を次世代量子線イメージセンサーに適用、試作した結果、動作を確認。
- ◆ 提案した3Dプロセスの実証ができた。

今後は、さらなるプロセス安定化・製造技術のブラッシュアップを進めるとともに、異種半導体での3Dスタッキング技術の開発を進める。

本研究は2016-2019年度TIAかけはし「3次元積層半導体量子イメージセンサーの調査研究」の成果をもとに行われました。