

3次元構造半導体量子イメージセンサーの調査研究 3D Stacking Image Sensor

調査研究の目的

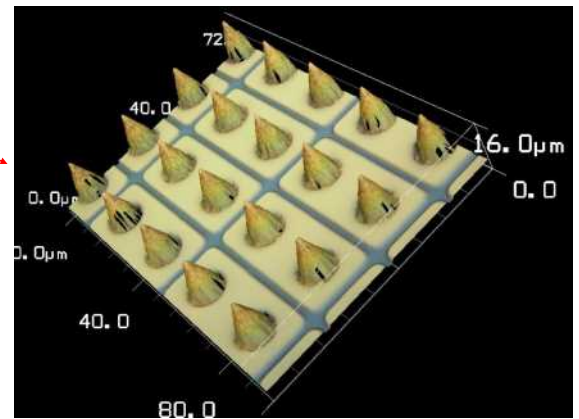
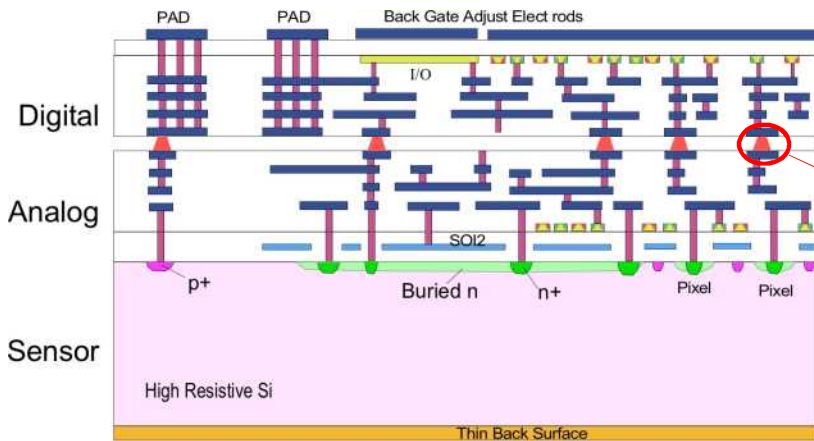
量子イメージング用のより高性能で且つ小面積のピクセルを実現する。

実現方法

AISTの3D製造技術、筑波大学のセンサー評価技術、東京大学の回路設計技術、及びKEKのセンサー技術をかけはしとして、3D技術を軸とした今までにない新しいイメージセンサーの世界を切り開く。3D製造技術は東北マイクロテック㈱、センサー技術は京都大学とも連携する。

具体的取組

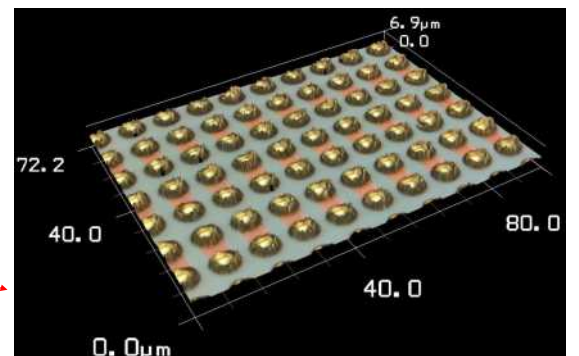
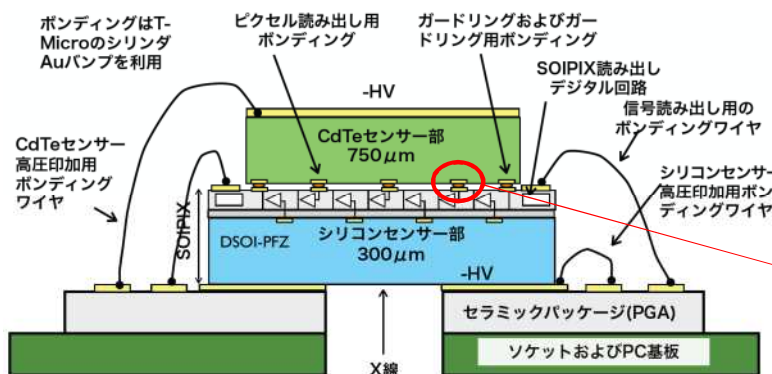
ホモジニアス接合によるピクセル高性能化



SOIで形成された回路チップを3D接合することでピクセル内回路を高性能化
(KEK、SOFIST)

高品質なμバンプを実現するためにAuコーンバンプ(新技術)を適用
(AIST、東北マイクロテック)

ヘテロジニアス接合によるピクセル高性能化



Si及びCdTeのセンサを異種3D接合することでX線エネルギー観測範囲の広い1チップセンサーを実現
(京都大学、SCiPIX)

やわらかいCdTeへのダメージ低減のため、Auシリンダバンプ(新技術)を適用
(東北マイクロテック)