

戦略的イノベーション創造プログラム (SIP)

次世代パワーエレクトロニクス / SiC次世代パワーエレクトロニクスの統合的研究開発

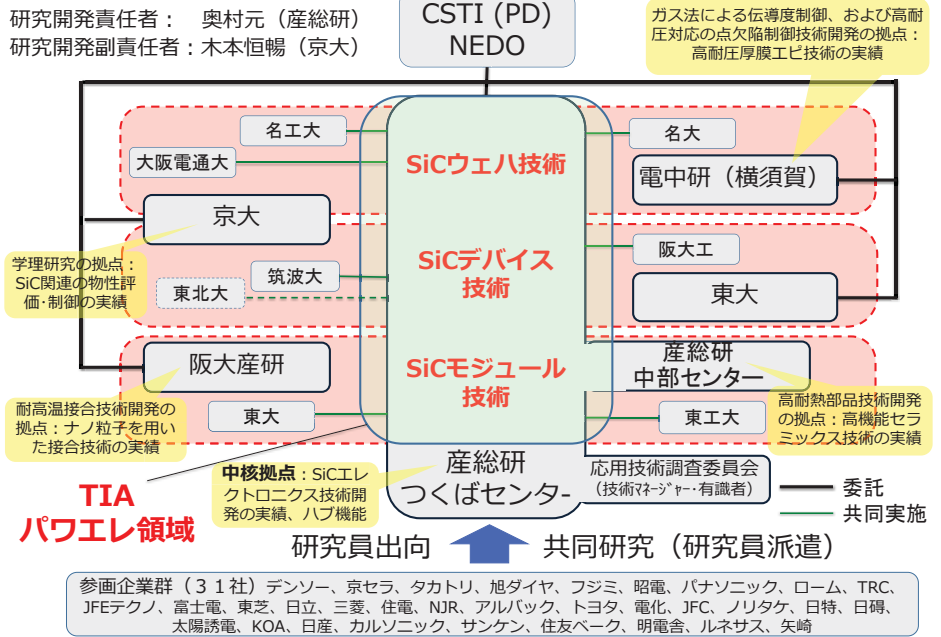
概要

SiCパワーエレクトロニクスの普及と適用先拡大を目指した次世代技術として、[1] 次世代SiCウエハ（基板）作製技術、[2] 次世代SiCデバイス作製技術、[3] 次世代SiCモジュール作製技術を対象に、一貫した統合的研究開発を当該分野における産学官の有力研究機関の研究者を結集して行う。

研究内容

- [1] エピ成長やウエハ加工をも含めて革新的手法を取り入れた次世代SiCウエハ（基板）作製技術
 - [1]-1 伝導度制御技術
 - [1]-2 高耐圧化対応技術
- [2] 低損失性・高耐圧性をより向上させる新規構造／プロセスを取り入れた次世代SiCデバイス作製技術
 - [2]-1 新構造ユニポーラデバイス技術
 - [2]-2 バイポーラデバイス技術
- [3] 高電流密度デバイスを搭載したうえで小型軽量化と信頼性評価法確立を目指す次世代SiCモジュール作製技術
 - [3]-1 高電流モジュールの設計・耐久性評価技術

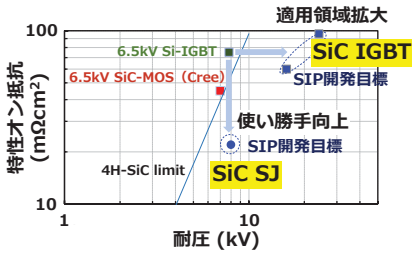
研究体制



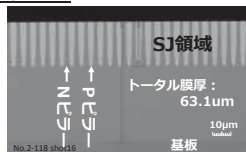
成果 (H26～H28年度)

次世代SiCウエハ・デバイス作製技術

■ ターゲットデバイス



■ SiC SJ (Super Junction) SJ構造ウエハ



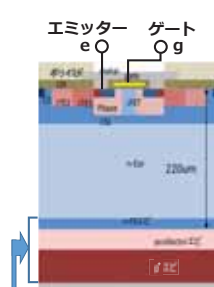
6.5kV対応SJ構造ウエハ技術を開発 (H26年度)

SiC/酸化膜界面信頼性

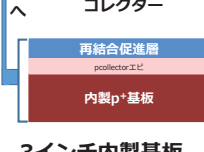


SiC SJ-MOSFETを試作、通常構造のSiC-MOSFETの1/2以下の特性オン抵抗を実現へ (H30年度)

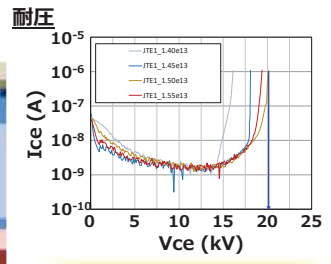
■ SiC IGBT (Insulated Gate Bipolar Tr.)



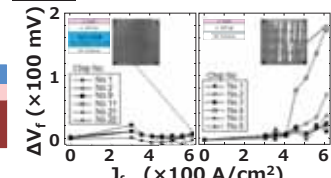
3インチ内製基板



独自のコーブ技術で低抵抗SF7リ-達成
p型：90mΩcm (従来の1/10)
n型：5.8mΩcm (従来の1/3)
SF: Stacking Fault (積層欠陥) (H27年度)



信頼性

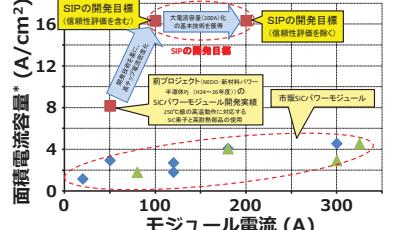


再結合促進層による劣化抑制確認 (H27年度)

耐圧マージン確保、最適キャリア寿命分布設計、内製p+基板採用で、耐圧6.5kV Si-IGBT2~3直列に対し、導通損失、スイッチング損失1/2以下を実証へ (H30年度)

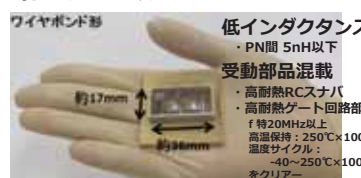
次世代SiCモジュール作製技術

■ ターゲットモジュール



◆：市販モジュール(150℃)、▲：市販モジュール(175℃)
*：面積電流容量=モジュール電流容量/ベースプレート面積

■ 試作モジュール



低インダクタンス
・PN間 5nH以下
受動部品混載
・高耐熱RCスナバ
・高耐熱ゲート回路部品
f特20MHz以上
高温保持：250℃×1000h
温度サイクル：-40～250℃×1000回をクリア

高速安定なスイッチング動作を確認
@高温動作、過電流動作 (600V-100A)、2並列動作 (H27年度)

耐久性検証、劣化機構解明、加速劣化条件明確化へ (H30年度)