

3次元積層半導体量子イメージセンサの調査研究 3D Stacking Image Sensor

概要

半導体素子の3次元積層化技術を応用した科学計測用イメージング検出器の実現に向けた研究開発・評価を実施し、高機能・高感度が要求される素粒子実験用のイメージセンサ開発を目指す。

参加研究機関：高エネルギー加速器研究機構(KEK)、筑波大学、東京大学、産業技術総合研究所(AIST)

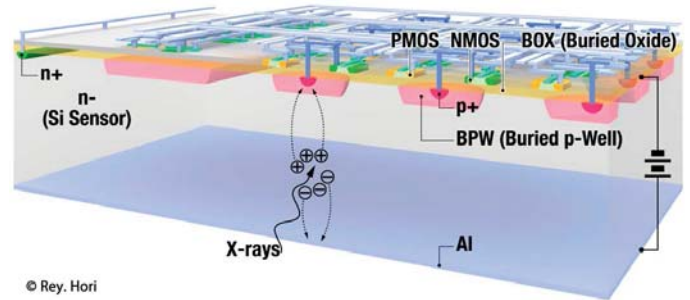
SOIピクセル検出器(SOIPIX)

SOI Pixel detector

SOI(Silicon-On-Insulator)技術を応用した、半導体センサーと集積回路の機能を併せ持つ3次元構造の量子イメージング検出器。

SOI検出器の特徴

- 機械的接合がなく半導体微細加工のみ
- 高信頼性, 高分解能, 低価格.
- 高放射線耐性
- 1画素内で信号処理やメモリ回路などの複雑な機能を実装可能.



© Rey, Hori

ILC実験用バーテックス検出器

Vertex detector system for ILC experiment

ILC (International Linear Collider)

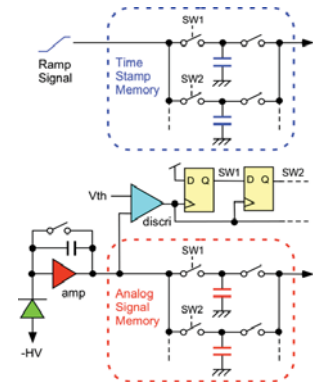
- 日本で建設計画中の次世代の衝突型加速器実験
- Higgs粒子精密計測、新物理探索が目的

発生事象を正確に再構成・解析するには、高精度で位置・時間同時計測可能な検出器が必要

SOIピクセル検出器: SOFIST

- 入射粒子の位置・時間計測可能な高精細ピクセル検出器
- 高い位置精度を実現する小型ピクセル、時間計測を行うための高機能回路実装の両立が課題

SOFIST(SOI Fine measurement of Space and Time)



微細画素・大規模集積回路を実現する技術
→ 半導体チップの3次元積層化

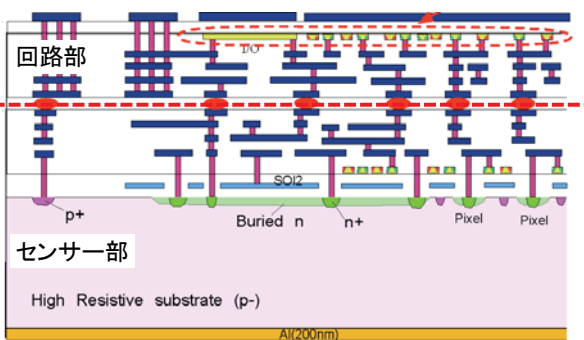
3次元積層化SOIセンサー

3D Stacked SOI sensor

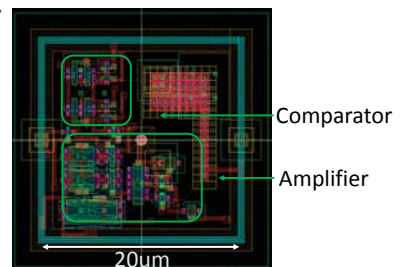
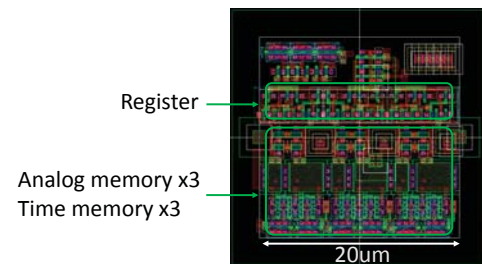
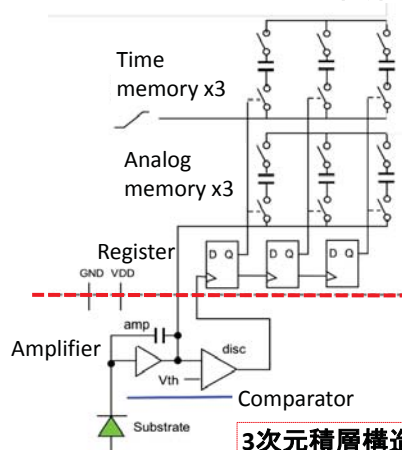
SOIセンサー上に、回路チップを重ねることで1画素の微細化・高集積化が可能

- 20um角の画素内に位置・時間計測回路を高密度実装
- 各画素部を積層化し、コーンバンプ接合による接続(T-Micro社)
- 2017年内に製造予定

3次元積層化センサー



SOFIST-3D ピクセル回路



3次元積層構造により微細画素内に全機能搭載を実現可能

